

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-259034

(43)Date of publication of application : 16.09.1994

(51)Int.Cl.

G09G 3/20

G09G 3/28

G09G 3/36

(21)Application number : 05-067599

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 03.03.1993

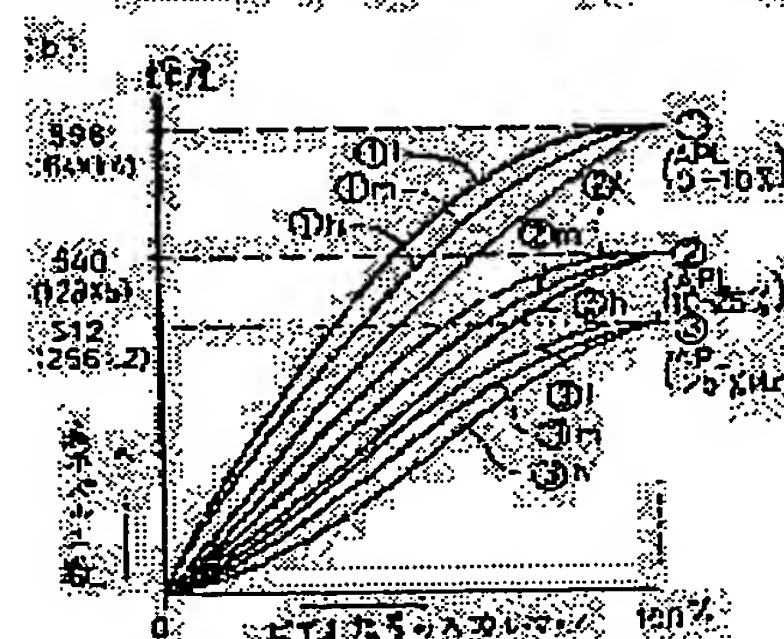
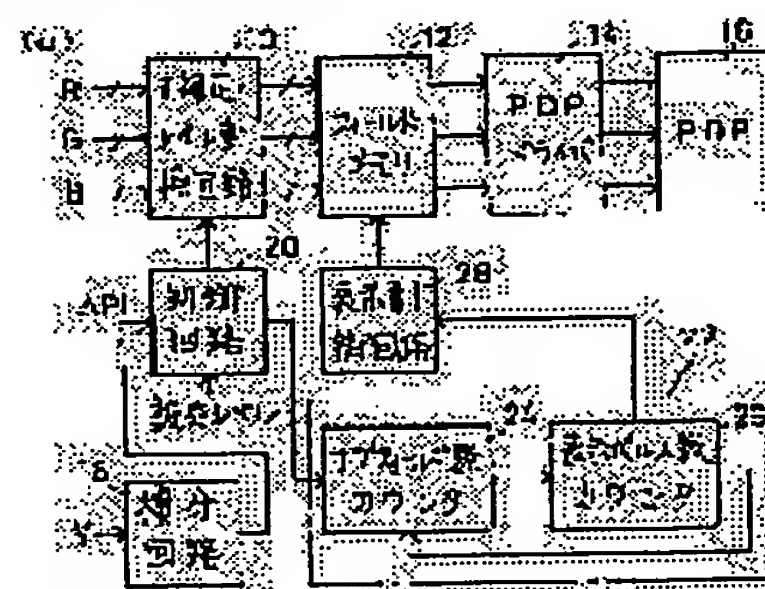
(72)Inventor : SUGAWARA MOTOO

## (54) METHOD FOR DISPLAYING HALFTONE IMAGE IN DISPLAY PANNEL

(57)Abstract:

**PURPOSE:** To prevent a contrast ratio from lowering even in a dark picture with a small APL(average picture level) and to reduce a difference in power consumption when the APL is large or small.

**CONSTITUTION:** In a method of dividing one field display interval for every pixel to sub-field intervals with the number N of bits of display gradation, and weighting to the number of display pulses in respective sub-field intervals and displaying a halftone image, the brightness of the display image is divided into three stages according to the value of the APL, and the number N is switched according to the stage of the brightness of the display image so that the more the display image becomes bright, the more the number of display gradation is increased. When the APL is  $<10\%$ , a signal for eight bits gradation whose maximum display number of pulse is 512, is level-converted to the signal for six bits gradation whose luminance is large and whose maximum display number of pulse is 896 as shown by conversion pattern (1) in the figure, and when  $10\% \leq \text{APL} < 25\%$ , the signal for eight bits gradation is level-converted to the signal for seven bits gradation whose maximum display number of pulse is 640 as shown by conversion pattern (2).



## LEGAL STATUS

[Date of request for examination]

28.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2795124

[Date of registration]

26.06.1998

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-259034

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl.<sup>5</sup>

G 0 9 C 3/20  
3/28  
3/36

識別記号

K 9176-5G  
K 9176-5G  
7319-5G

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数3 F D (全 7 頁)

(21)出願番号 特願平5-67599

(22)出願日 平成5年(1993)3月3日

(71)出願人 000006611

株式会社富士通ゼネラル  
神奈川県川崎市高津区末長1116番地

(72)発明者 菅原 元雄

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

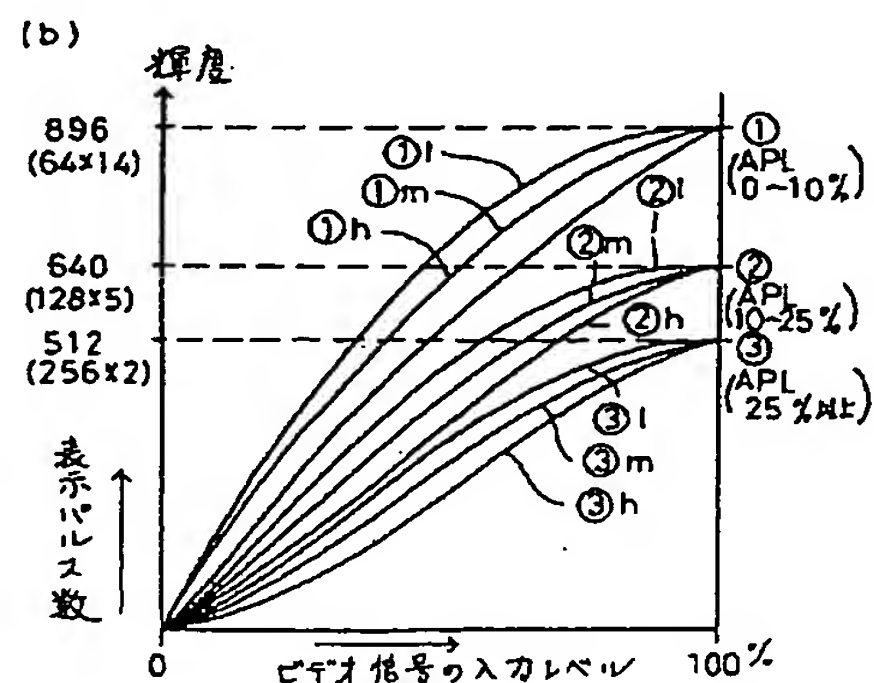
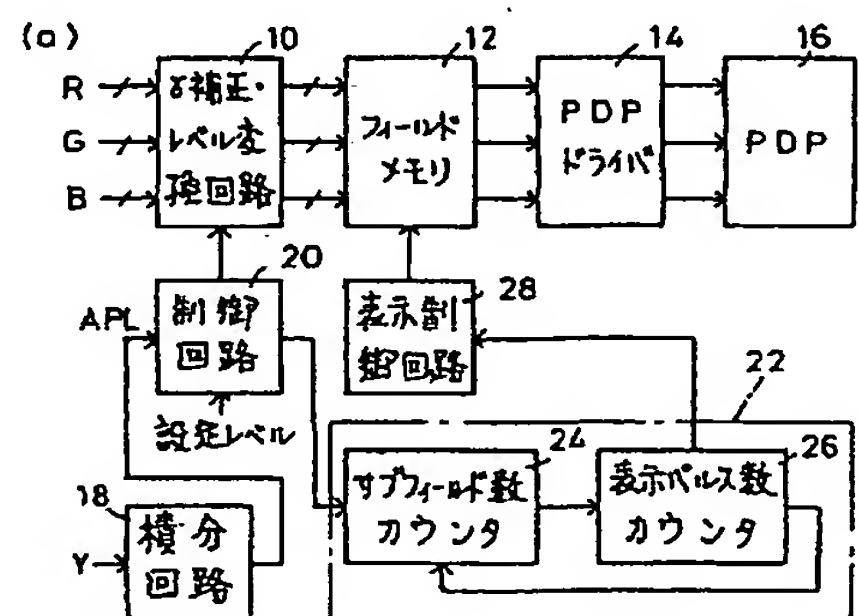
(74)代理人 弁理士 古澤 俊明 (外1名)

(54)【発明の名称】 ディスプレイパネルの中間調画像表示方法

(57)【要約】

【目的】 APL (平均映像レベル) の小さい暗い画面でも、コントラスト比が低下するのを防止し、APLの大、小時の消費電力の差を小さくすること。

【構成】 各画素についての1フィールド表示期間を表示階調のビット数Nのサブフィールド期間に時分割し、各サブフィールド期間の表示パルス数に重み付けをして中間調画像を表示する方法において、APLの大きさに表示画像の明るさを3段階に区分し、表示画像が明るくなるほど表示階調数が多くなるように、表示画像の明るさの段階に応じてNの数を切り換える。APLが10%未満のときは、図の変換パターン①に示すように最大表示パルス数が512の8ビット階調用の信号を輝度の大きい最大表示パルス数が896の6ビット階調用の信号にレベル変換し、APLが10%以上25%未満のときは、変換パターン②に示すように最大表示パルス数が640の7ビット階調用の信号にレベル変換する。



## 【特許請求の範囲】

【請求項1】 ディスプレイパネルの各画素についての1画面表示期間を表示階調に対応したビット数N（Nは2以上の整数）の表示期間に時分割し、各分割表示期間の表示パルス数に各ビットに対応した重み付けをすることによってビデオ信号の中間調画像を表示する方法において、前記ビデオ信号のAPL（平均映像レベル）を設定レベルと比較することによって表示画像の明るさをm段階（mは2以上の整数）に区分し、表示画像の明るさが明るくなるほど表示階調数が多くなるように、表示画像の明るさの段階に応じて前記分割数Nの数を切り換えて中間調画像を表示するようにしたことを特徴とするディスプレイパネルの中間調画像表示方法。

【請求項2】 m段階の表示画像の明るさのそれぞれにおけるビデオ信号のレベル変換パターンを、隣接する段階間の切り換えをスムーズにするために、各段階内におけるAPLの大きさに応じて複数種類設けてなる請求項1記載のディスプレイパネルの中間調画像表示方法。

【請求項3】 m段階の表示画像の明るさのそれぞれにおけるビデオ信号のレベル変換パターンは、明るさの非線形性を補正するγ補正を兼用してなる請求項2記載のディスプレイパネルの中間調画像表示方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、プラズマディスプレイパネル（以下単にPDPと記述する）や液晶ディスプレイパネル（以下単にLCDと記述する）のようなディスプレイパネルにおいて、各画素についての1画面表示期間（例えば1フィールド表示期間または1フレーム表示期間）を表示階調に対応したビット数N（Nは2以上の整数）の表示期間（例えばサブフィールド期間）に時分割し、各分割表示期間の表示パルス数に各ビットに対応した重み付けをすることによってビデオ信号の中間調画像を表示する方法に関するものである。

## 【0002】

【従来の技術】 従来、この種の中間調画像表示方法には、JAPAN DISPLAY' 92の605から608までに「S16-2 A Full Color AC Plasma with 256 Gray Scale」として記載された方法が知られていた。

【0003】 すなわち、8ビット、256階調で中間調を表示の場合には、図3の（a）、（b）に示すように、各画素についての1フィールド表示期間1F（例えば約16.6ms）を8つのサブフィールド期間SF1～SF8に時分割し、各サブフィールド期間SF1、…、SF8をさらにアドレス期間APと表示期間SPに時分割し、この表示期間SPに1：2：4：8：…：128の比率の重み付けをする。

【0004】 例えば、サブフィールド期間SF1の表示期間SPに2個の表示パルスを割り当てたとすると、サ

ブフィールド期間SF3、SF8の表示期間SPには8（＝2×4）、256（＝2×128）個の表示パルスを割り当てる。また、アドレス期間APはサブフィールド期間SF1、…、SF8に関係なく一定（例えば1.5ms）で、ディスプレイパネルによって決まり、ステップ1、2、3、4の期間からなる。

【0005】 ステップ1の期間では、直前の表示期間の影響を排除して全ての放電ドットを同じ状態にするために、ドットマトリックス型のPDPのX Sustain電極に消去パルスが加えられる。ステップ2の期間では、前記PDPのX Sustain電極とY1、Y2、…、Y480 Sustain電極の間に書き込みパルスを加え、0Vに維持されているアドレス電極によって蛍光体の表面にイオンの一部が積み重ねられる。ステップ3の期間では、壁電荷を除去するためにX Sustain電極に消去パルスが加えられる。ステップ4の期間では、前記PDPのアドレス電極にスキャンパルスが加えられる。

## 【0006】

【発明が解決しようとする課題】 しかしながら、上述した従来の中間調画像表示方法では、表示階調を多くするために時分割するサブフィールド期間の数を多くすると、これに伴ってアドレス期間APの数が多くなって表示期間SPが短くなり（表示パルス数が少なくなり）、表示輝度の最大値が小さくなる。

【0007】 このため、ビデオ信号のAPL（平均映像レベル）が小さくなる暗い画面では、コントラスト比が低下し表示画質が劣化するという問題点があった。また、ディスプレイパネル（例えばPDP）では、APLの大きいときと小さいときの消費電力の差が大きく、電源の負担が大きくなるという問題点があった。

【0008】 本発明は上述の問題点に鑑みなされたもので、ビデオ信号のAPLが小さくなる暗い画面でも、コントラスト比が低下するのを防止して表示画質を改善することができ、APLの大きいときと小さいときの消費電力の差を小さくすることができる、ディスプレイパネルの中間調画像表示方法を提供することを目的とするものである。

## 【0009】

【課題を解決するための手段】 本発明は、ディスプレイパネルの各画素についての1画面表示期間を表示階調に対応したビット数N（Nは2以上の整数）の表示期間に時分割し、各分割表示期間の表示パルス数に各ビットに対応した重み付けをすることによってビデオ信号の中間調画像を表示する方法において、前記ビデオ信号のAPL（平均映像レベル）を設定レベルと比較することによって表示画像の明るさをm段階（mは2以上の整数）に区分し、表示画像の明るさが明るくなるほど表示階調数が多くなるように、表示画像の明るさの段階に応じて前記分割数Nの数を切り換えて中間調画像を表示するよう



にしたことを特徴とするものである。

#### 【0010】

【作用】ビデオ信号のAPLを設定レベルと比較することによって表示画像の明るさがm段階（例えば3段階）に区分される。この区分されたm段階の表示画像の明るさに対応して、1画面表示期間（例えば1フィールド表示期間）の分割数（例えばサブフィールド数）Nの数が、表示画像の明るさが明るいほど表示階調が多くなる（例えば表示階調が64、128、256となる）ように、例えばN<sub>1</sub>（例えば6）、N<sub>2</sub>（例えば7）、N<sub>3</sub>（例えば8）と切り換えられる。

【0011】このため、APLが小さくなる暗い画面では、分割数（例えばサブフィールド数）Nの数が小さくなる方向へ（例えば8から6へ）切り換わるので、アドレス期間APの数が少なくなつて表示期間が長くなり（表示パルス数が多くなり）、表示輝度の最大値が小さくならず、コントラスト比が低下しない。

#### 【0012】

【実施例】以下、本発明による中間調画像表示方法の一実施例を図1および図2を用いて説明する。図1は本発明方法を実施する装置の要部の概略構成を示すものである。図1の(a)において、R、G、B信号はビデオ信号としての赤、緑、青の8ビット階調（256階調）のデジタル信号を表わす。10はγ補正・レベル変換回路で、このγ補正・レベル変換回路10は、後述する制御回路20からの制御信号に基づいて、R、G、B信号のγ補正およびレベル変換を行なうように構成されている。

【0013】前記γ補正・レベル変換回路10の出力側には、フィールドメモリ12、PDPドライバ14およびディスプレイパネルの一例としてのドットマトリックス型のPDP16が順次結合している。Y信号は輝度信号で、この輝度信号Yは例えばR、G、B信号に基づいて作成される。18は積分回路で、この積分回路18はY信号を積分することによってAPL（平均映像レベル）を出力するように構成されている。

【0014】20は制御回路で、この制御回路20は、前記積分回路18からのAPLを予め設定された設定レベルと比較することによって表示画像の明るさを大きく3段階に区分し、対応した制御信号①、②、③を後述する表示タイミング信号出力回路22に出力するとともに、この3段階のそれぞれをさらに3段階に区分し、対応した制御信号①<sub>1</sub>、①<sub>m</sub>、①<sub>h</sub>、②<sub>1</sub>、②<sub>m</sub>、②<sub>h</sub>、③<sub>1</sub>、③<sub>m</sub>、③<sub>h</sub>を前記γ補正・レベル変換回路10に出力するように構成されている。

【0015】すなわち、前記制御回路20は、前記積分回路18からのAPLが、10%未満の範囲内の低（例えば3.5%未満）、中（例えば3.5%以上7%未満）、高（例えば7%以上10%未満）のときは、それぞれ制御信号①<sub>1</sub>、①<sub>m</sub>、①<sub>h</sub>を出力し、10%以上2

5%未満の範囲内の低（例えば10%以上15%未満）、中（例えば15%以上20%未満）、高（例えば20%以上25%未満）のときは、それぞれ制御信号②<sub>1</sub>、②<sub>m</sub>、②<sub>h</sub>を出力し、25%以上の範囲内の低（例えば25%以上50%未満）、中（例えば50%以上75%未満）、高（例えば75%以上）のときは、それぞれ制御信号③<sub>1</sub>、③<sub>m</sub>、③<sub>h</sub>を出力するように構成されている。

【0016】そして、前記γ補正・レベル変換回路10は、前記制御回路20からの制御信号①<sub>1</sub>、①<sub>m</sub>、①<sub>h</sub>に基づいて、図1の(b)の変換パターン①<sub>1</sub>、①<sub>m</sub>、①<sub>h</sub>に示すように、入力した8ビット階調用のR、G、B信号をγ補正（明るさの非線形性の補正）するとともに6ビット階調用のR、G、B信号にレベル変換して出力するように構成されている。

【0017】また、前記γ補正・レベル変換回路10は、前記制御回路20からの制御信号②<sub>1</sub>、②<sub>m</sub>、②<sub>h</sub>又は制御信号③<sub>1</sub>、③<sub>m</sub>、③<sub>h</sub>に基づいて、図1の(b)の変換パターン②<sub>1</sub>、②<sub>m</sub>、②<sub>h</sub>又は③<sub>1</sub>、③<sub>m</sub>、③<sub>h</sub>に示すように、入力した8ビット階調用のR、G、B信号をγ補正するとともに7ビット階調又は8ビット階調用のR、G、B信号にレベル変換して出力するように構成されている。

【0018】22は表示タイミング信号出力回路で、この表示タイミング信号出力回路22は、サブフィールド数カウンタ24と表示パルス数カウンタ26とを主体に構成され、前記制御回路20からの制御信号①、②、③に基づいて、図2の(a)、(b)、(c)に示すようなタイミングで、表示タイミングパルス①、②、③を表示制御回路28に出力するように構成されている。

【0019】すなわち、前記サブフィールド数カウンタ24は前記制御回路20からの制御信号①、②、③に基づいてサブフィールド数6、7、8に対応したパルスを出し、前記表示パルス数カウンタ26は前記サブフィールド数カウンタ24からの出力信号に基づいて6、7、8ビット階調に対応した数の表示パルスを前記表示制御回路28に出力するとともに、キャリア出力をリセット信号として前記サブフィールド数カウンタ24に出力するように構成されている。

【0020】前記表示制御回路28は、前記表示タイミング信号出力回路22からの表示タイミングパルス①、②、③に基づいて、前記フィールドメモリ12に書き込む表示データを6、7、8ビット階調のデータに制御するように構成されている。

【0021】前記表示タイミングパルス①の表示タイミングは、図2の(a)に示すように、1F（1フィールド表示期間）を6のサブフィールド期間SF1～SF6に時分割し、各サブフィールド期間SF1、SF2、SF3、…、SF6をさらにAP（アドレス期間）とSP1（表示期間1）、APとSP2、APとSP3、…、

5

APとSP6に時分割し、これらの表示期間SP1、SP2、SP3、…、SP6に14、28、56、…、448個の表示パルス割り当て、1:2:4:…:32の比率の重み付けをする。この表示パルスの数は、説明の便宜上、前記PDP16で固有に決まるAPと表示パルスの周期をそれぞれ1.5msと7.5μsとし、1Fを16msとして決めている。

【0022】すなわち、1Fが6のSFに時分割されているので、1F内のアドレス期間は9ms(=1.5ms×6)となり、1F内の表示期間は7ms(=16ms-9ms)となる。このため、この7msの表示期間内で64(6ビット)の重み付けをするときの単位の重みの表示パルス数は14(=7×1000/64/7.5)となる。なお、APは、図3の(b)で説明した従来例と同様に、ステップ1、2、3、4の期間からなっている。

【0023】前記表示タイミングパルス②の表示タイミングは、図2の(b)に示すように、1Fを7のサブフィールド期間SF1~SF7に時分割し、各サブフィールド期間SF1、SF2、SF3、…、SF7の表示期間SP1、SP2、SP3、…、SP7に5、10、20、…、320の表示パルスを割り当て、1:2:4:…:64の比率の重み付けをする。この表示パルスの数は次のように決められる。

【0024】すなわち、1Fが7のSFに時分割されているので、1F内のアドレス期間は10.5ms(=1.5ms×7)となり、1F内の表示期間は5.5ms(=16ms-10.5ms)となる。このため、この5.5msの表示期間内で128(7ビット)の重み付けをするときの単位の重みの表示パルス数は5(=5.5×1000/128/7.5)となる。

【0025】前記表示タイミングパルス③の表示タイミングは、図2の(c)に示すように(図3の(a)とはほぼ同様に)、1Fを8のサブフィールド期間SF1~SF8に時分割し、各サブフィールド期間SF1、SF2、SF3、…、SF8の表示期間SP1、SP2、SP3、…、SP8に2、4、8、…、256の表示パルスを割り当て、1:2:4:…:256の比率の重み付けをする。この表示パルスの数は次のように決められる。

【0026】すなわち、1Fが8のSFに時分割されているので、1F内のアドレス期間は12ms(=1.5ms×8)となり、1F内の表示期間は4ms(=16ms-12ms)となる。このため、この4msの表示期間内で256(8ビット)の重み付けをするときの単位の重みの表示パルス数は2(=4×1000/256/7.5)となる。

【0027】つぎに、前記実施例の作用を説明する。

(イ) 積分回路18はY信号を積分することによってAPLを出力し、制御回路20は、このAPLを予め設定

6

した設定レベルと比較することによって、表示画像の明るさに対応した制御信号①l、①m、①h、②l、②m、②h、③l、③m、③hをγ補正・レベル変換回路10に出力するとともに、制御信号①、②、③を表示タイミング信号出力回路22に出力する。

【0028】(ロ) γ補正・レベル変換回路10は、制御回路20からの制御信号①l、①m、①h、②l、②m、②h、③l、③m、③hに基づいて、入力したR、G、B信号をγ補正するとともに、輝度レベル変換する。すなわち、APLが10%未満の範囲内の低(例えば3.5%未満)、中(例えば3.5%以上7%未満)、高(例えば7%以上10%未満)のときは、図1の(b)の変換パターン①l、①m、①hに示すように、入力した8ビット階調用のR、G、B信号をγ補正するとともに6ビット階調用のR、G、B信号に輝度レベル変換して出力する。

【0029】そして、APLが10%以上25%未満の範囲内の低(例えば10%以上15%未満)、中(例えば15%以上20%未満)、高(例えば20%以上25%未満)のときは、図1の(b)の変換パターン②l、②m、②hに示すように、入力した8ビット階調用のR、G、B信号をγ補正するとともに、7ビット階調用又は8ビット階調用のR、G、B信号にレベル変換して出力する。

【0030】また、APLが25%以上の範囲内の低(例えば25%以上50%未満)、中(例えば50%以上75%未満)、高(例えば75%以上)のときは、図1の(b)の変換パターン③l、③m、③hに示すように、入力した8ビット階調用のR、G、B信号をγ補正するとともに8ビット階調用のR、G、B信号にレベル変換して出力する。

【0031】(ハ) 一方、表示タイミング信号出力回路22は、制御回路20からの制御信号①、②、③に基づいて図2の(a)(b)(c)に示すような表示タイミングを持った表示タイミングパルス①、②、③を表示制御回路28に出力する。すなわち、APLが10%未満のときは、図2の(a)に示すような6ビット階調の表示タイミングを持った、最大表示パルス数896の表示タイミングパルス①が表示制御回路28に入力する。

【0032】そして、APLが10%以上25%未満のときは、図2の(b)に示すような7ビット階調の表示タイミングを持った、最大表示パルス数640の表示タイミングパルス②が表示制御回路28に入力する。また、APLが25%以上のときは、図2の(c)に示すような8ビット階調の表示タイミングを持った、最大表示パルス数512の表示タイミングパルス③が表示制御回路28に入力する。

【0033】(ニ) 表示制御回路28は、表示タイミング信号出力回路22からの表示タイミングパルス①、②、③に基づいて、フィールドメモリ12に書き込む表

示データを6、7、8ビット階調のデータに制御する。

【0034】(ホ) 上述のように $\gamma$ 補正およびレベル変換されるとともに、階調変換されてフィールドメモリ12に書き込まれた表示データは、PDPドライバ14を介してPDP16に送られる。このため、PDP16は図1の(b)に示す変換パターンに近似した表示特性で表示する。

【0035】すなわち、APLが10%未満の範囲内の低、中、高のときは(暗い画面のときは)、PDP16は図1の(b)の変換パターン①l、①m、①hに近似した表示特性で表示する。そして、APLが10%以上25%未満の範囲内の低、中、高のときは、PDP16は図1の(b)の変換パターン②l、②m、②hに近似した表示特性で表示する。また、APLが25%以上の範囲内の低、中、高のときは、図1の(b)の変換パターン③l、③m、③hに近似した表示特性で表示する。

【0036】前記実施例では、APLを3段階に区分し、これに対応して表示階調を6、7、8ビット階調の3段階に切り換えるようにしたが、本発明はこれに限るものでなく、APLをm段階(mは2以上の整数)に区分し、これに対応して表示階調を相異なるビット階調のm段階に切り換え、表示画像の明るさが明るくなるほど表示階調数が多くなるようにするものであればよい。例えば、APLを4段階に区分し、これに対応して表示階調を5、6、7、8ビット階調の4段階に切り換えるようにしてもよい。

【0037】前記実施例では、3段階の表示画像の明るさのそれぞれにおけるビデオ信号の $\gamma$ 補正およびレベル変換の変換パターンを、各段階内におけるAPLの大きさに応じて3種類設定して、隣接する段階間の切り換え時における輝度レベルの変化をスムーズにするようにしたが、本発明はこれに限るものでなく、 $\gamma$ 補正およびレベル変換の変換パターンを各段階内におけるAPLの大きさに応じて3種類以外の複数種類(例えば2種類)設けて、隣接する段階間の切り換え時における輝度レベルの変化をスムーズにするようにしてもよいし、または $\gamma$ 補正およびレベル変換の変換パターンを各段階について1種類だけ設けてもよい。

【0038】前記実施例では、3段階の表示画像の明るさのそれぞれについて、ビデオ信号の $\gamma$ 補正およびレベル変換を行なうことによって、明るさの非線形性の補正を同時に行なうようにしたが、本発明はこれに限るものでなく、 $\gamma$ 補正を省略したものについても本発明を利用することができる。

【0039】

【発明の効果】本発明によるディスプレイパネルの中間調画像表示方法は、上記のように、ビデオ信号のAPLを設定レベルと比較することによって表示画像の明るさをm段階(mは2以上の整数)に区分し、表示画像の明るさが明るくなるほど表示階調数が多くなるように、表

示画像の明るさの段階に応じて1画面表示期間(例えば1フィールド表示期間)の分割数(例えばサブフィールド数)Nの数を切り換えて中間調画像を表示するように構成したので、分割数(例えばサブフィールド数)Nの数は、表示画像の明るさが明るいほど表示階調数が多くなる(例えば表示階調数が64、128、256となる)ように、例えば6、7、8と切り換えられる。

【0040】このため、APLが小さくなる暗い画面では、分割数(例えばサブフィールド数)Nの数が小さくなる方向へ(例えば8から6へ)切り換わりアドレス期間APの数が少なくなるので、暗い画面でも表示輝度の最大値が小さくならず、コントラスト比が低下しない。すなわち、従来例より表示画質を改善することができる。さらに、APLの大きいときは表示輝度が小さくなるに方向に表示階調数が制御され、APLが小さいときは表示輝度を大きくする方向に表示階調数が制御されるので、APLの大きいときと小さいときの消費電力の差を小さくして平均化することができ、電源の負担を小さくすることができる。

【図面の簡単な説明】

【図1】本発明によるディスプレイパネルの中間調画像表示方法の一実施例を示すもので、(a)は本発明方法を実施する装置の要部概略構成図、(b)は(a)の $\gamma$ 補正・レベル変換回路の作用を説明する特性図である。

【図2】図1の(a)の表示タイミング信号出力回路が出力する表示タイミングパルスの表示タイミングを説明する説明図で、(a)は6ビット階調の表示タイミングを表わし、(b)は7ビット階調の表示タイミングを表わし、(c)は8ビット階調の表示タイミングを表わす。

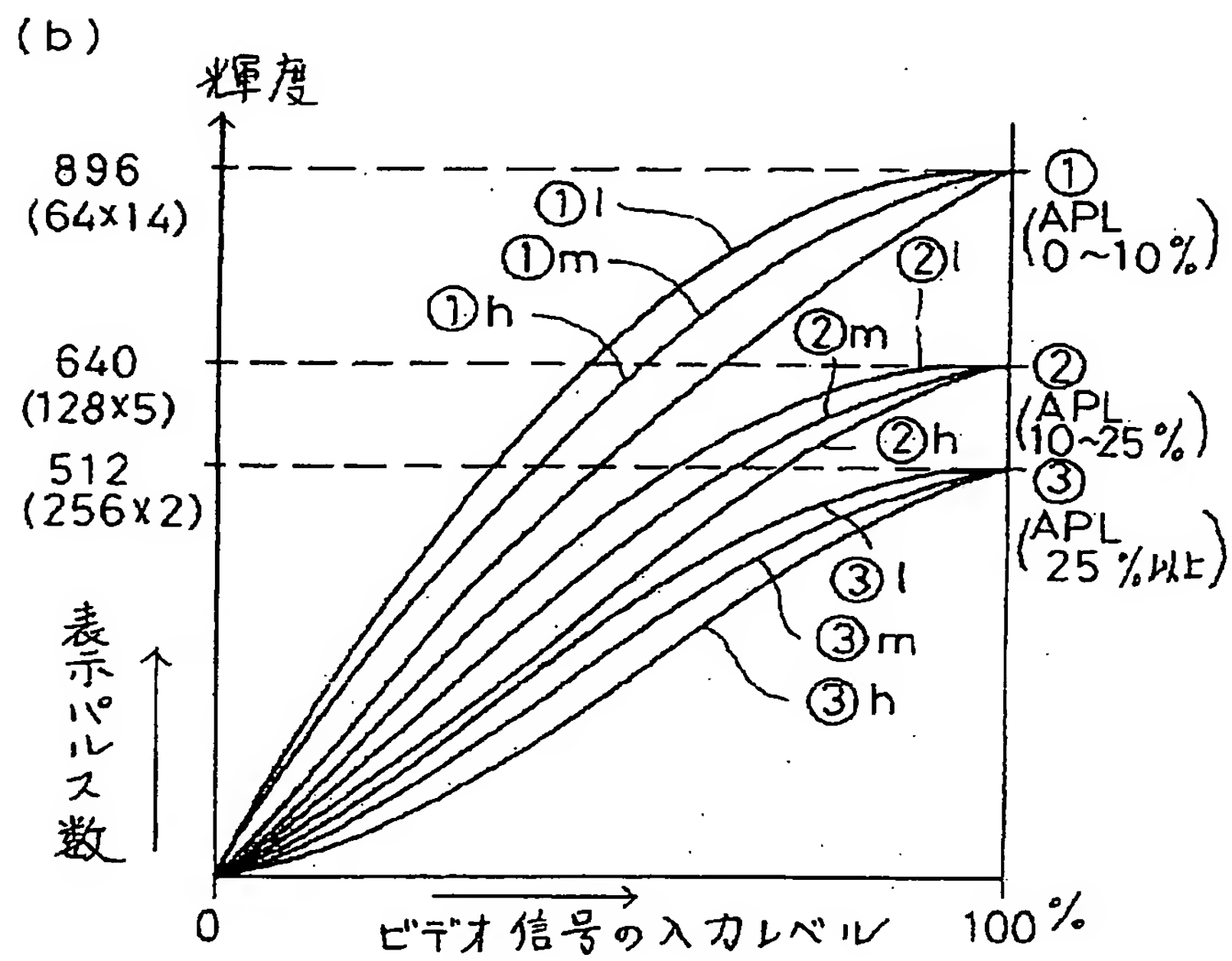
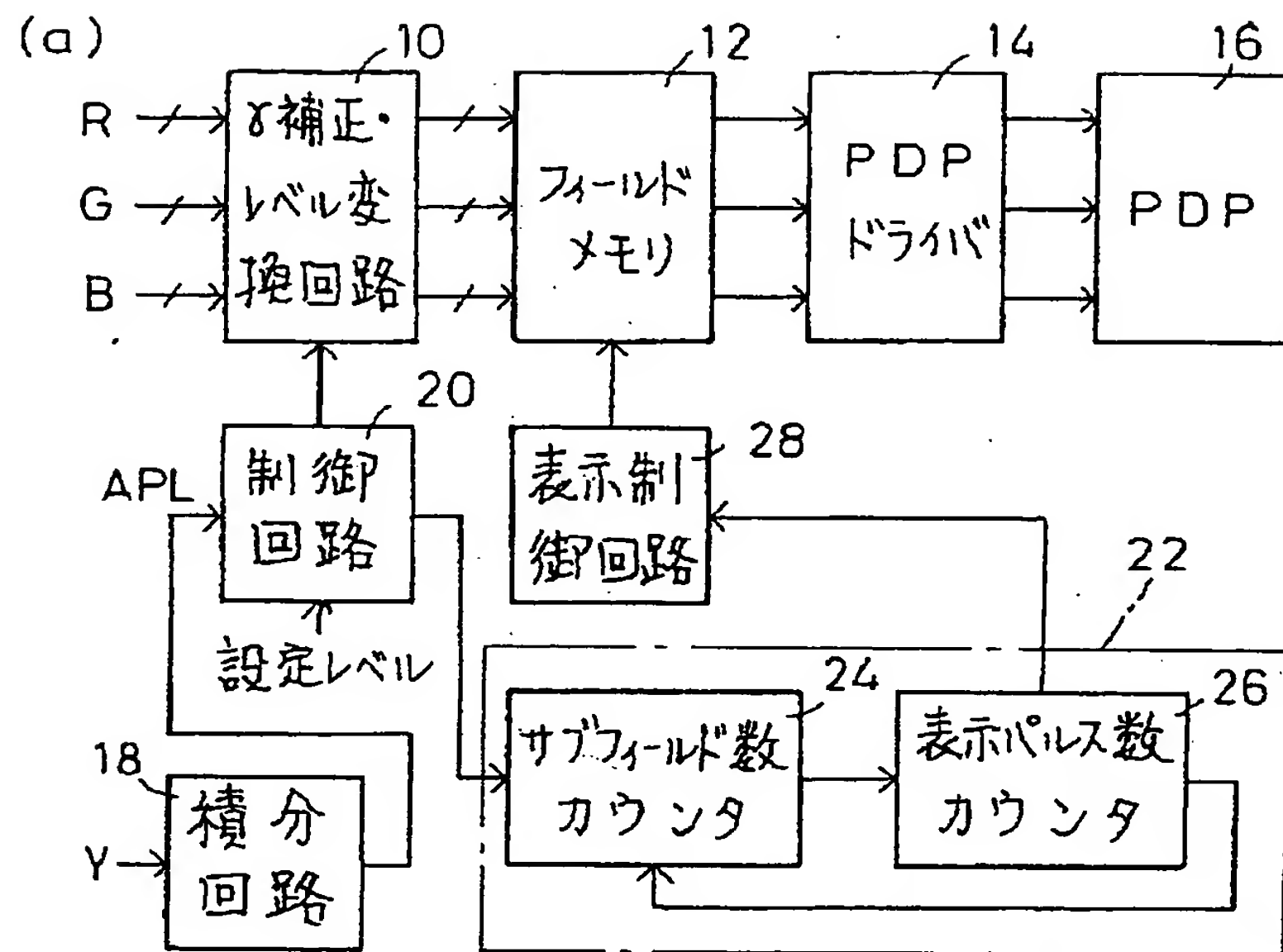
【図3】従来例の表示タイミングパルスの表示タイミングを説明する説明図である。

【符号の説明】

10… $\gamma$ 補正・レベル変換回路、  
12…フィールドメモリ、  
14…PDPドライバ、16…PDP、  
18…積分回路、20…制御回路、  
22…表示タイミング信号出力回路、  
28…表示制御回路、  
1F…1フィールド表示期間(1画面表示期間の一例)、  
APL…平均画像レベル、  
PDP…プラズマディスプレイパネル(ディスプレイパネルの一例)、  
R、G、B…デジタルのR、G、B信号(ビデオ信号の一例)、  
SF1～SF8…サブフィールド期間(分割表示期間の一例)、  
Y…輝度信号。

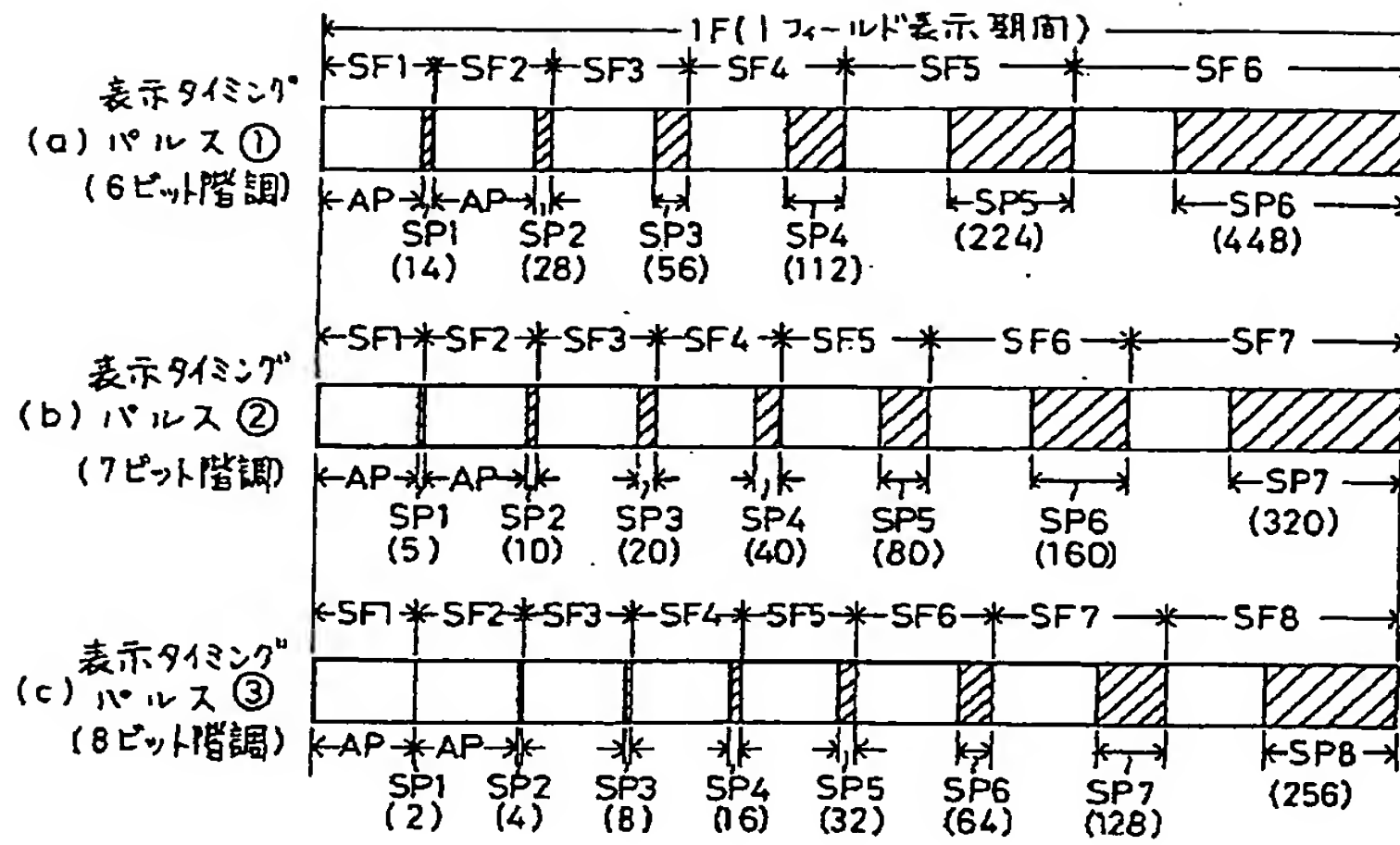


【図1】

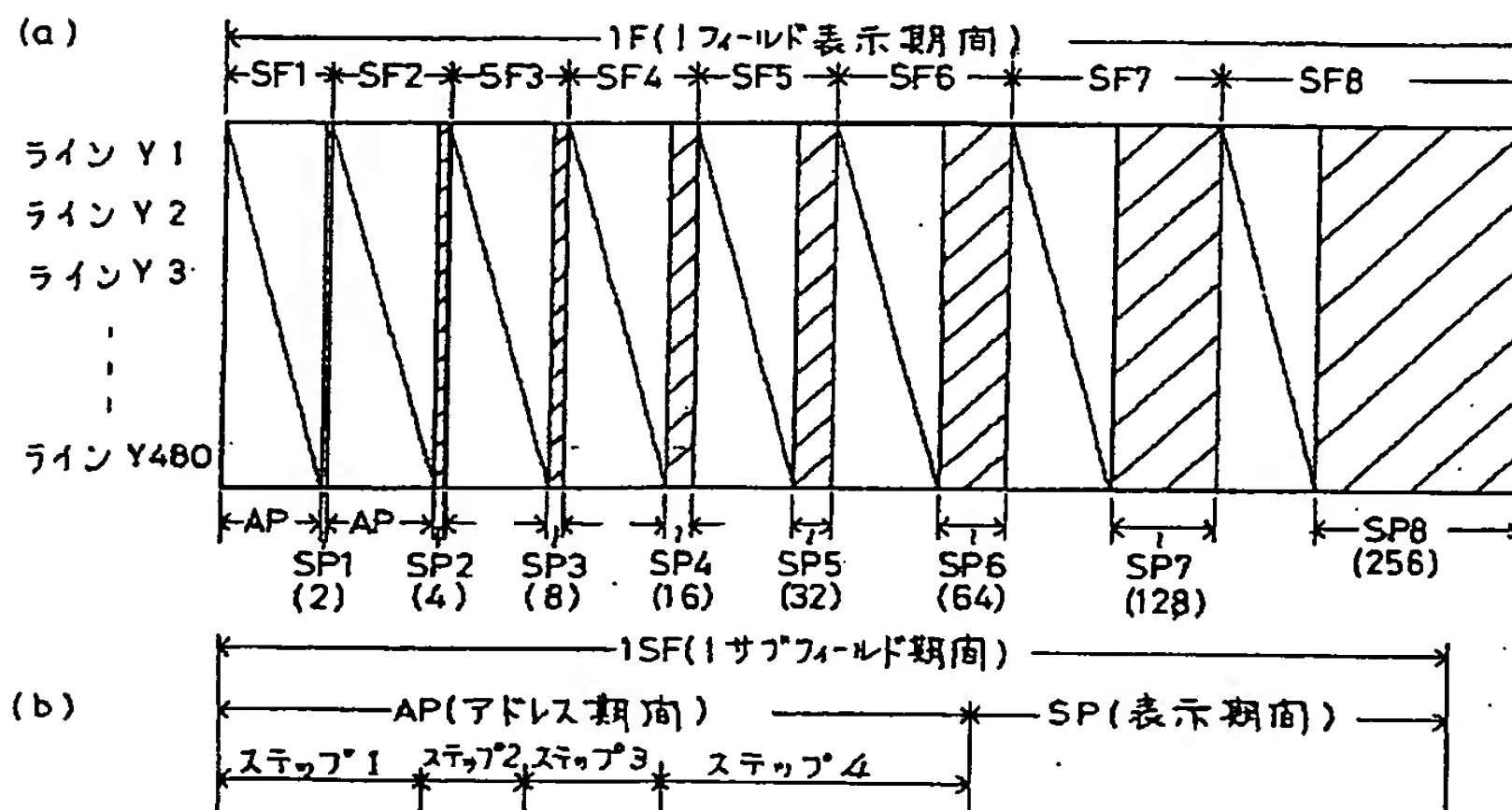




【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**